

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08149428 A**

(43) Date of publication of application: **07.06.96**

(51) Int. Cl.

**H04N 7/08**  
**H04N 7/081**  
**H04L 7/00**  
**H04N 7/24**

(21) Application number: **06287673**

(71) Applicant: **SONY CORP**

(22) Date of filing: **22.11.94**

(72) Inventor: **SHIGA TOMOHISA**

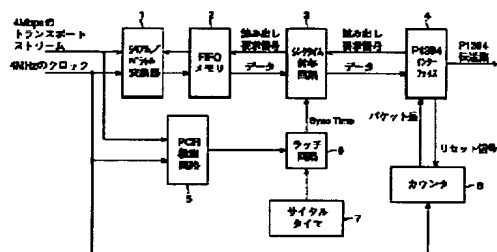
(54) **TRANSMITTING DEVICE AND RECEIVING DEVICE**

(57) Abstract:

PURPOSE: To accurately transmit the transport stream of an MPEG through a transmission line that is accordant with IEEE-P1394.

CONSTITUTION: The transport stream is turned into a packet at a P1394 interface 4 and outputted to a transmission line that is accordant with IEEE-P1349. At the same time, a PCR detector 5 detects PCR out of the transport stream of an MPEG. A sync time giving circuit 3 adds the absolute time to the packet at the timing when the PCR is detected.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-149428

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/08				
7/081				
H 0 4 L 7/00	G			
			H 0 4 N 7/ 08	Z
			7/ 13	Z
審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く				

(21) 出願番号 特願平6-287673

(22) 出願日 平成6年(1994)11月22日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 志賀 知久

東京都品川区北品川6丁目7番35号 ソニー株式会社内

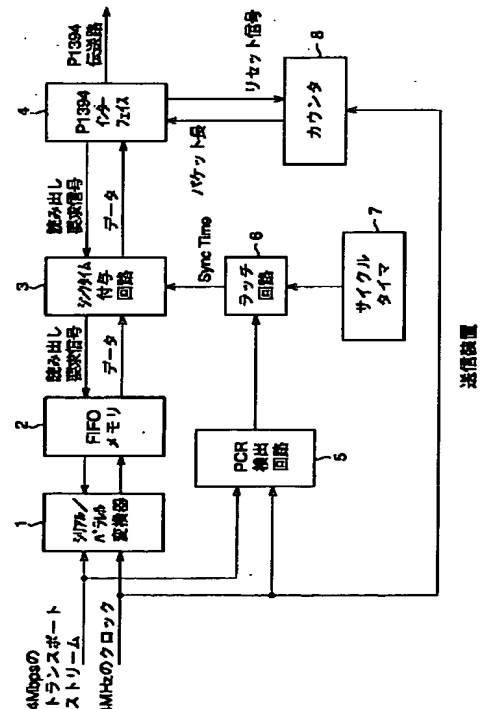
(74) 代理人 弁理士 稲本 義雄

(54) 【発明の名称】 送信装置および受信装置

(57) 【要約】

【目的】 IEEE-P1394に準拠した伝送路を用いて、MPEGのトランスポートストリームを正確に伝送する。

【構成】 P1394インターフェイス4において、トランスポートストリームがパケットにされ、IEEE-P1394に準拠した伝送路に出力される。一方、PCR検出回路5では、MPEGのトランスポートストリームからPCRが検出され、シンクタイム付与回路3で、それが検出されたタイミングにおける絶対時刻がパケットに付加される。



## 【特許請求の範囲】

【請求項1】 I E E E - P 1 3 9 4 に準拠した伝送路を介して、M P E G (Moving Picture Experts Group) のトランスポートストリームを送信する送信装置であって、

前記トランスポートストリームをパケットにし、前記伝送路に出力するパケット化手段と、

前記トランスポートストリームからP C R (Program Clock Reference) を検出する第1のP C R検出手段と、絶対時刻を計時する計時手段と、

前記P C R検出手段により前記P C Rが検出されたタイミングにおける前記絶対時刻を前記パケットに付加する付加手段とを備えることを特徴とする送信装置。

【請求項2】 前記計時手段は、I E E E - P 1 3 9 4 のサイクルタイマであることを特徴とする請求項1に記載の送信装置。

【請求項3】 前記パケット化手段は、I E E E - P 1 3 9 4 で規定される $125\mu s$ の間に入力される前記トランスポートストリームを、1つのパケットにすることを特徴とする請求項1または2に記載の送信装置。

【請求項4】 前記付加手段は、I E E E - P 1 3 9 4 で規定される $125\mu s$ の間に、前記パケット化手段に入力される前記トランスポートストリームの中に、複数の前記P C Rが存在する場合、各P C Rに対応する前記絶対時刻を前記パケットに付加することを特徴とする請求項3に記載の送信装置。

【請求項5】 請求項1乃至4のいずれかに記載の送信装置から、I E E E - P 1 3 9 4 に準拠した伝送路を介して送信されてきたパケットを受信する受信装置であって、

前記パケットを、前記トランスポートストリームに変換する変換手段と、

前記変換手段から出力される前記トランスポートストリームからP C Rを検出する第2のP C R検出手段と、

前記第2のP C R検出手段により検出された前記P C Rに基づいて、クロックを生成する生成手段と、

前記変換手段から出力される前記トランスポートストリームから、前記絶対時刻を検出する絶対時刻検出手段と、

前記絶対時刻検出手段により検出された前記絶対時刻に対応するタイミングで、前記第2のP C R検出手段により検出された前記P C Rを、前記生成手段に供給する供給手段とを備えることを特徴とする受信装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、M P E Gのトランスポートストリームを、I E E E - P 1 3 9 4 に準拠した伝送路を介して伝送する場合に用いて好適な送信装置、並びに受信装置に関する。

## 【0002】

【従来の技術】M P E G (Moving Picture Experts Group) には、良く用いられるものとして、例えばM P E G 1とM P E G 2とがある。M P E G 1システムでは、上限はあるが、任意の数のビデオ、オーディオなどの個別の符号化ストリームを多重化して、1組のプログラムとして1本化したストリームとしてのプログラムストリームが構成されるようになされている。

【0003】また、M P E G 2システムには、上述したM P E G 1システムと同様にプログラムストリームを構成する方式のものと、複数のプログラムを1本のストリームとしてのトランスポートストリームとする方式のものとがある。

【0004】ところで、M P E G 2システムの送信側においては、トランスポートストリーム中に、一定間隔でP C R (Program Clock Reference) が挿入される。このP C Rは、受信側、即ちビデオとオーディオの復号器を含むM P E Gシステム復号器において、時刻基準となるS T C (System Time Clock) (基準となる同期情報)の値を送信側(符号器側)で意図した値にセット、校正するための情報であるので、受信側におけるトランスポートストリーム中の各P C Rの再生タイミングは、送信側における各P C Rの挿入タイミングと対応している必要がある。

【0005】即ち、例えば、送信側において、P C Rが、時刻 $t_1$ 、 $t_2$ 、 $t_3$ 、...に挿入された場合に、受信側において、最初のP C Rが、時刻 $t_1 + \alpha$ に再生されたときには、以降のP C Rは、時刻 $t_2 + \alpha$ 、 $t_3 + \alpha$ 、...に再生する必要がある。

【0006】  
30 【発明が解決しようとする課題】しかしながら、ジッタが予測不可能な伝送路、あるいはジッタの吸収が不可能な伝送路としての、例えばI E E E - P 1 3 9 4 に準拠した伝送路などを介してM P E G (M P E G 2)のトランスポートストリームを伝送する場合には、受信側において、上述したようなP C Rを再生すべきタイミングで、その再生を行うことが困難であったため、トランスポートストリームの正確な伝送も困難であった。

【0007】本発明は、このような状況に鑑みてなされたものであり、P C Rを、本来再生すべきタイミングで再生することができるようにし、これによりI E E E - P 1 3 9 4 に準拠した伝送路を介して、M P E Gのトランスポートストリームを正確に伝送することができるようにするものである。

## 【0008】

【課題を解決するための手段】本発明の送信装置は、I E E E - P 1 3 9 4 に準拠した伝送路を介して、M P E G (Moving Picture Experts Group) のトランスポートストリームを送信する送信装置であって、トランスポートストリームをパケットにし、伝送路に出力するパケット化手段(例えば、図1に示すP 1 3 9 4インターフェ

イス4など)と、トランスポートストリームからPCR (Program Clock Reference)を検出する第1のPCR検出手段(例えば、図1に示すPCR検出回路5など)と、絶対時刻を計時する計時手段(例えば、図1に示すサイクルタイマ7など)と、PCR検出手段によりPCRが検出されたタイミングにおける絶対時刻をパケットに付加する付加手段(例えば、図1に示すシンクタイム付与回路3など)とを備えることを特徴とする。

【0009】計時手段は、IEEE-P1394のサイクルタイマとすることができる。また、パケット化手段には、IEEE-P1394で規定される125 $\mu$ sの間に入力されるトランスポートストリームを、1つのパケットにさせることができる。さらに、付加手段には、IEEE-P1394で規定される125 $\mu$ sの間に、パケット化手段に入力されるトランスポートストリームの中に、複数のPCRが存在する場合、各PCRに対応する絶対時刻をパケットに付加させることができる。

【0010】本発明の受信装置は、請求項1乃至4のいずれかに記載の送信装置から、IEEE-P1394に準拠した伝送路を介して送信されてきたパケットを受信する受信装置であって、パケットを、トランスポートストリームに変換する変換手段(例えば、図3に示すP1394インターフェイス11など)と、変換手段から出力されるトランスポートストリームからPCRを検出する第2のPCR検出手段(例えば、図3に示すPCR検出回路20など)と、第2のPCR検出手段により検出されたPCRに基づいて、クロックを生成する生成手段(例えば、図3に示すPLL回路23など)と、変換手段から出力されるトランスポートストリームから、絶対時刻を検出する絶対時刻検出手段(例えば、図3に示すシンクタイム検出回路14など)と、絶対時刻検出手段により検出された絶対時刻に対応するタイミングで、第2のPCR検出手段により検出されたPCRを、生成手段に供給する供給手段(例えば、図3に示す比較回路17およびラッチ回路19など)とを備えることを特徴とする。

【0011】

【作用】本発明の送信装置においては、トランスポートストリームがパケットにされ、IEEE-P1394に準拠した伝送路に出力される。一方、MPEGのトランスポートストリームからPCRが検出され、それが検出されたタイミングにおける絶対時刻がパケットに付加される。従って、受信側では、パケットに付加された絶対時刻を参照することにより、PCRを本来再生すべきタイミングで再生することができるので、IEEE-P1394に準拠した伝送路を用いて、トランスポートストリームを正確に伝送することが可能となる。

【0012】本発明の受信装置においては、IEEE-P1394に準拠した伝送路を介して送信されてきたパケットがトランスポートストリームに変換され、そのト

ランスポートストリームからPCRが検出される。PLL回路23では、検出されたPCRに基づいて、クロックが生成される。さらに、トランスポートストリームからは、絶対時刻が検出され、その絶対時刻に対応するタイミングで、検出されたPCRがPLL回路23に供給される。従って、PCRが本来再生すべきタイミングで再生されるので、PLL回路23が生成するクロックは、送信側のクロックにロックしたものとなる。その結果、IEEE-P1394に準拠した伝送路を介して、トランスポートストリームを正確に受信することが可能となる。

【0013】

【実施例】図1は、本発明の送信装置の一実施例の構成を示している。図示せぬ符号器で符号化された、例えば4MbpsのMPEGトランスポートストリームは、シリアル/パラレル変換器1およびPCR検出回路5に供給されるようになされている。また、シリアル/パラレル変換器1およびPCR検出回路5には、4MHzのクロックも供給されるようになされている。なお、この4MHzのクロックは、シリアル/パラレル変換器1およびPCR検出回路5の他、カウンタ8にも供給されるようになされている。

【0014】シリアル/パラレル変換器1は、4MHzのクロックに同期して、シリアルデータとしてのトランスポートストリームを、例えば32ビットのパラレルデータとしてのトランスポートストリームに変換し、FIFO (First In First Out) メモリ2に供給するようになされている。FIFOメモリ2は、シリアル/パラレル変換器1からのトランスポートストリームを一時記憶し、シンクタイム付与回路3から読み出し要求信号が供給されると、記憶しているトランスポートストリームをシンクタイム付与回路3に出力するようになされている。

【0015】シンクタイム付与回路3は、P1394インターフェイス4からの読み出し要求信号に対応して、FIFOメモリ2からトランスポートストリームを読み出し、P1394インターフェイス4に供給するようになされている。P1394インターフェイス4は、32ビットのパラレルデータとされたトランスポートストリームを、IEEE-P1394 (以下、適宜、P1394と略す)のクロックで規定される125 $\mu$ s単位でパケットにし、即ち125 $\mu$ sの間に、そこに入力されるトランスポートストリームを1パケットとし、P1394に準拠した伝送路 (以下、適宜、P1394伝送路という)に出力するようになされている。

【0016】PCR検出回路5は、そこに入力される4MHzのクロックに同期して動作し、トランスポートストリームからPCRを検出するようになされている。PCR検出回路5は、PCRを検出すると、ラッチ回路6に検出信号を出力するようになされている。ラッチ回路

6は、PCR検出回路5から検出信号を受信すると、サイクルタイマ7が出力している絶対時刻を、シンクタイム (Sync Time) としてラッチし、シンクタイム付与回路3に出力するようになされている。なお、シンクタイム付与回路3は、ラッチ回路6からシンクタイムを受信すると、そのシンクタイムをP1394インターフェイス4に出力し、これによりトランスポートストリームからPCRが検出されたタイミングにおける絶対時刻 (シンクタイム) をパケットに付加 (付与) するようになされている。

【0017】サイクルタイマ7は、装置の電源がオンにされると、絶対時刻の計時を開始するようになされている。このサイクルタイマ7が計時する絶対時刻は、ラッチ回路6に出力されるようになされている。なお、サイクルタイマ7は、例えば24.576MHzのクロックに同期して、絶対時刻を計時するようになされている。

【0018】ここで、図1の送信装置と、P1394伝送路を介して接続される装置は、このサイクルタイマ7に相当するブロックを有しており、いずれも電源がオンにされると、絶対時刻の計時を開始するようになされている。そして、各装置は、他の装置とのリンクを確立するにあたって、親を決めるようになされており、親が決まると、その親が計時する絶対時刻に、自身が計時する絶対時刻を同期させるようになされている。即ち、P1394で定義されている、ネットワーク全体のサイクルタイマを調節するノードであるサイクルマスタ (Cycle Master) が、125 $\mu$ sごとに、そのサイクルマスタ内部のサイクルタイマの値が記述されているサイクルスタートパケットをブロードキャストし、各ノードが、これを受信し、それぞれのサイクルタイマを、サイクルマスタ内部のサイクルタイマの値に更新するようになされている。従って、図1の送信装置を構成するサイクルタイマ7と、後述する図3に示す受信装置を構成するサイクルタイマ18とは、同一の絶対時刻を計時するようになされている。

【0019】カウンタ8は、4MHzのクロックが、8クロック入力されると、そのカウント値を1だけインクリメントし、P1394インターフェイス4に出力するようになされている。なお、P1394インターフェイス4は、125 $\mu$ sごとに1パケットを作成すると、リセット信号をカウンタ8に出力するとともに、そのときカウンタ8が出力しているカウント値を、パケット長として、P1394伝送路に出力するパケットの先頭に付加するようになされている。また、カウンタ8は、P1394インターフェイス4からリセット信号を受信すると、そのカウント値を0にリセットするようになされている。カウント値は、4MHzのクロックが、8クロック入力されると1だけインクリメントされるから、パケット長をバイト単位で表すものとなる。

【0020】次に、図2のタイミングチャートを参照し

て、その動作について説明する。シリアル/パラレル変換器1に、シリアルデータであるトランスポートストリームが入力されると、そこで32ビットのパラレルデータに変換され、FIFOメモリ2に書き込まれる。FIFOメモリ2に書き込まれたトランスポートストリームは、シンクタイム付与回路3を介して、P1394インターフェイス4に供給される。P1394インターフェイス4では、32ビットのパラレルデータとされたトランスポートストリームが、125 $\mu$ s単位でパケット化される。そして、そのパケットに、カウンタ8が出力するパケット長が付加され、P1394伝送路に出力される。

【0021】即ち、図2に示すように、周期T1に、FIFOメモリ2に書き込まれたトランスポートストリームは、次の周期T2に、パケットP1として送信され、周期T2に、FIFOメモリ2に書き込まれたトランスポートストリームは、次の周期T3に、パケットP2として送信される。

【0022】ここで、トランスポートストリームには、前述したように、定期的にPCRが挿入されている。また、パラレルデータとされた32ビットのデータは1クアドレットと呼ばれるが、PCRは、2クアドレットに渡って記述されている。

【0023】また、125 $\mu$ sの間には、4Mbpsのトランスポートストリームは、P1394インターフェイス4に対して500ビット入力されるから、1パケットは、15または16クアドレットで構成されることになる。

【0024】PCR検出回路5は、トランスポートストリームからPCRを検出し、検出信号をラッチ回路6に出力する。ラッチ回路6は、検出信号を受信すると、サイクルタイマ回路7が出力している絶対時刻をラッチする。従って、ラッチ回路7には、PCRの先頭のタイミングにおける、P1394で規定される絶対時刻がラッチされることになる。この絶対時刻は、シンクタイムとして、ラッチ回路6からシンクタイム付与回路3に出力され、P1394インターフェイス4が出力するパケットに付加される。

【0025】即ち、例えば図2に示すように、周期T1の間に挿入されたPCR (図中、斜線を付してある部分) の先頭 (始まり) 位置に対応する絶対時刻が、シンクタイムとしてパケットP1に含められる。

【0026】従って、P1394伝送路におけるジッタが予測不可能なものであっても、あるいはそのジッタが吸収不可能なものであっても、受信側 (受信装置) では、シンクタイムが示す時刻に基づいて、PCRを再生することにより、送信装置と同期したクロックを生成することが可能となる。

【0027】なお、トランスポートストリームは、前述したように、複数のプログラムが1本のストリームとさ

れたものであるから、ある $125\mu s$ の周期中に、1つではなく、複数のプログラムのPCRが挿入されている場合がある。このような場合には、そのすべての先頭位置を表す絶対時刻が、シンクタイムとしてパケットに付加される。

【0028】次に、図3は、図1に示した送信装置から、P1394伝送路を介して伝送されてくるパケットを受信する受信装置の構成例を示している。P1394インターフェイス11は、P1394伝送路を介して受信されたパケットを、32ビットパラレルデータに変換するようになされている。このデータは、書き込み信号とともに、FIFOメモリ12、シンクタイム検出回路14、およびPCR検出回路20に供給されるようになされている。

【0029】FIFOメモリ12は、P1394インターフェイス11から、書き込み信号とともにデータを受信すると、そのデータを一時記憶するようになされている。そして、FIFOメモリ12は、パラレル/シリアル変換器13から読み出し信号を受信すると、記憶しているデータをパラレル/シリアル変換器13に出力するようになされている。

【0030】パラレル/シリアル変換器13は、PLL回路23が出力する4MHzのクロックに同期して、FIFOメモリ12から読み出したデータである32ビットパラレルデータとしてのトランスポートストリームを、シリアルデータとしてのトランスポートストリームに変換し、図示せぬMPEG復号器に出力するようになされている。

【0031】シンクタイム検出回路14は、P1394インターフェイス11より、書き込み信号とともに供給されるデータからシンクタイムを検出し、加算回路15に出力するようになされている。加算回路15には、シンクタイム検出回路14からシンクタイムが供給される他、ディレイ記憶回路16に記憶された遅延時間（ディレイ）が供給されるようになされており、加算回路15は、シンクタイムと遅延時間とを加算し、比較回路17に出力するようになされている。

【0032】なお、ディレイ記憶回路16が記憶している遅延時間は、P1394伝送路における遅れと、受信装置における処理による遅れとを加算した時間より幾分長い時間である、例えば数100ms程度とされている。

【0033】サイクルタイマ18は、図1に示した送信装置のサイクルタイマ7と同様に交際されており、従って絶対時刻を出力している。比較回路17は、加算回路15の出力と、サイクルタイマ18の出力とを比較し、両者が一致したとき、一致信号をラッチ回路19に出力するようになされている。ラッチ回路19は、PCR検出回路20の出力をラッチし、比較回路17から一致信号を受信すると、ラッチしている値を減算回路21に出

力するようになされている。

【0034】PCR検出回路20は、P1394インターフェイス11より、書き込み信号とともに供給されるデータからPCRを検出し、ラッチ回路19に出力するようになされている。従って、ラッチ回路19は、シンクタイムに遅延時間を加算した時刻が、サイクルタイマ18が計時する絶対時刻に一致したときに、PCRを減算回路21に出力するようになされている。

【0035】減算回路21には、ラッチ回路19からPCRが供給される他、カウンタ22からカウント値が供給されるようになされている。カウンタ22は、PLL回路23が出力するクロックのタイミングで、そのカウント値を1ずつインクリメントするようになされている。減算回路21は、ラッチ回路19から供給されたPCRから、カウンタ22のカウント値を減算し、その減算結果をPLL回路23に供給するようになされている。PLL回路23は、正の値が入力されると、出力しているクロックの位相を進ませ、負の値が入力されると、出力しているクロックの位相を遅らせるようになされている。即ち、PLL回路23は、PCRがカウンタ22のカウント値より大きい場合には、出力しているクロックの位相を進ませ、PCRがカウンタ22のカウント値より小さい場合には、出力しているクロックの位相を遅らせるようになされている。

【0036】次に、図4のタイミングチャートを参照して、その動作について説明する。P1394伝送路を介して伝送されてきたパケットは、P1394インターフェイス11で受信され、そこで、そのうちのデータの部分（パケット長を除く部分）が取り出され、32ビットパラレルデータとしてのトランスポートストリームとされて出力される。P1394インターフェイス11より出力されたデータは、FIFOメモリ12、シンクタイム検出回路14、およびPCR検出回路20に供給される。FIFOメモリ12では、P1394インターフェイス11からのデータが一時記憶され、パラレル/シリアル変換器13に出力される。パラレル/シリアル変換器13は、PLL回路23から供給される4MHzのクロックに同期して、FIFOメモリ12からの32ビットパラレルデータとしてのトランスポートストリームを、シリアルデータに変換して出力する。

【0037】一方、シンクタイム検出回路14では、P1394インターフェイス11の出力からシンクタイムが検出され、加算回路15に出力される。加算回路15では、シンクタイムに所定の遅延時間が加算され、比較回路17に出力される。比較回路17は、加算回路15とサイクルタイマ18との出力を比較し、両者が一致すると、ラッチ回路19に一致信号を出力する。

【0038】また、PCR検出回路20では、P1394インターフェイス11の出力からPCRが検出され、ラッチ回路19に出力されてラッチされる。ラッチ回路

19は、一致信号を受信すると、ラッチしているPCRを減算回路21に出力する。即ち、図4に示すように、シンクタイムが示す時刻から所定の時間だけ遅れた時刻に、PCRが減算回路21に出力される。

【 0 0 3 9 】 減算回路 2 1 は、 P C R からカウンタ 2 2 のカウント値を減算し、その減算値を P L L 回路 2 3 に出力する。 P L L 回路 2 3 は、減算回路 2 1 からの値に応じて、出力するクロックの位相を変化させ、これにより受信側のクロックは、送信側のクロックにロックすることになる。このクロックは、パラレル／シリアル変換回路 1 3 およびカウンタ 2 2 に供給される。

【0040】以上のように、送信側と受信側とでは、同一の絶対時刻を有しており、さらに受信側では、シンクタイムを含むパケットが受信されると、そのシンクタイムから所定の遅延時間だけ遅れた時刻に、PCRが再生されるので、受信側において、送信側と同じ速度のトランスポートストリームを再生することができる。即ち、P1394伝送路を介して、MPEGのトランスポートストリームを正確に伝送することができる。

【 0 0 4 1 】

【発明の効果】以上の如く、本発明によれば、IEEE-P1394に準拠した伝送路を用いて、トランスポートストリームを正確に送受信することが可能となる。

【図面の簡単な説明】

【図１】本発明の送信装置の一実施例の構成を示すブロック図である。

【図2】 図1の送信装置の動作を説明するタイミングチ \*

\* ヤートである。

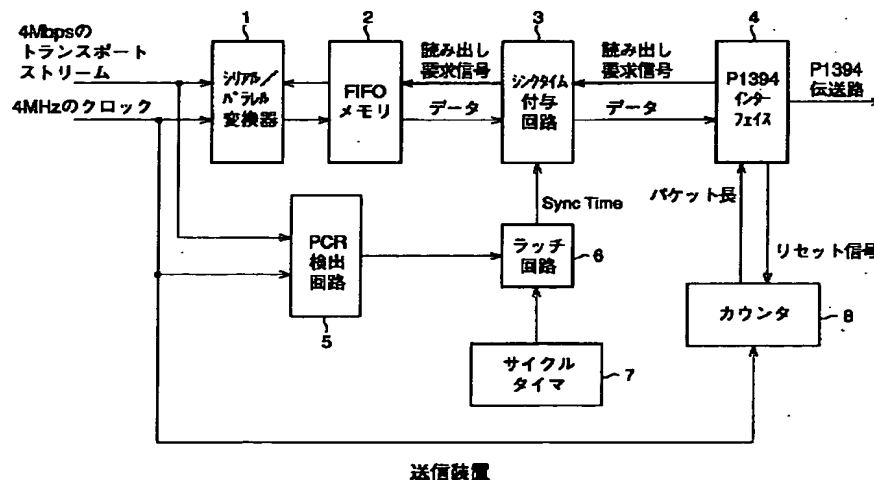
【図３】本発明の受信装置の一実施例の構成を示すブロック図である。

【図4】図3の受信装置の動作を説明するタイミングチャートである。

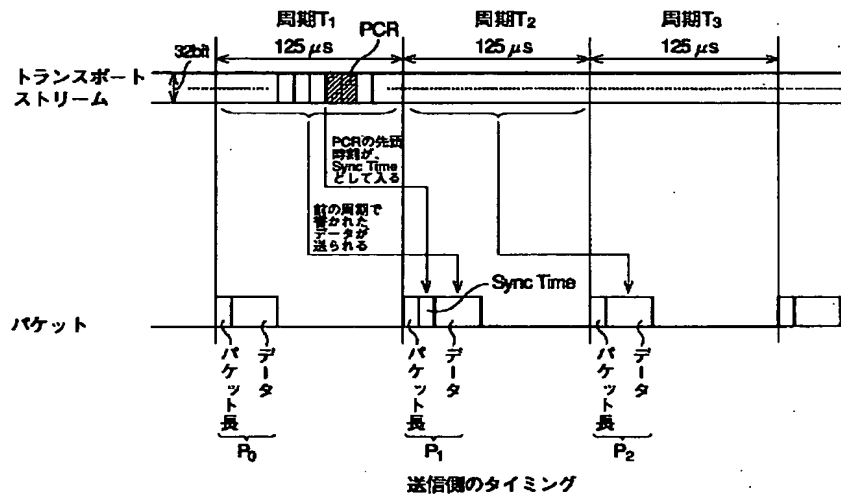
【符号の説明】

- 1 シリアル／パラレル変換器
- 2 F I F Oメモリ
- 3 シンクタイム付与回路
- 10 4 P 1 3 9 4 インターフェイス
- 5 P C R 検出回路
- 6 ラッチ回路
- 7 サイクルタイマ
- 8 カウンタ
- 1 1 P 1 3 9 4 インターフェイス
- 1 2 F I F Oメモリ
- 1 3 パラレル／シリアル変換器
- 1 4 シンクタイム検出回路
- 1 5 加算回路
- 20 1 6 ディレイ記憶回路
- 1 7 比較回路
- 1 8 サイクルタイマ
- 1 9 ラッチ回路
- 2 0 P C R 検出回路
- 2 1 減算回路
- 2 2 カウンタ
- 2 3 P L L 回路

【図 1】



【図 2】



【図 3】

